

特許協力条約

PCT

特許性に関する国際予備報告（特許協力条約第二章）

（法第 12 条、法施行規則第 56 条）

〔PCT36 条及び PCT 規則 70〕

出願人又は代理人 書類記号 IP040045	今後の手続きについては、様式 PCT/IPEA/416 を参照すること。	
国際出願番号 PCT/J P 2005/006121	国際出願日 (日. 月. 年) 30. 03. 2005	優先日 (日. 月. 年) 31. 03. 2004
国際特許分類 (IPC) Int.Cl. G11C16/04(2006. 01), G11C16/06(2006. 01)		
出願人 (氏名又は名称) 財団法人北九州産業学術推進機構		

<p>1. この報告書は、PCT35 条に基づきこの国際予備審査機関で作成された国際予備審査報告である。 法施行規則第 57 条 (PCT36 条) の規定に従い送付する。</p> <p>2. この国際予備審査報告は、この表紙を含めて全部で <u>3</u> ページからなる。</p> <p>3. この報告には次の附属物件も添付されている。</p> <p>a. <input checked="" type="checkbox"/> 附属書類は全部で <u>5</u> ページである。</p> <p><input checked="" type="checkbox"/> 補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び／又は図面の用紙 (PCT 規則 70.16 及び実施細則第 607 号参照)</p> <p><input type="checkbox"/> 第 I 欄 4. 及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙</p> <p>b. <input type="checkbox"/> 電子媒体は全部で _____ (電子媒体の種類、数を示す)。 配列表に関する補充欄に示すように、電子形式による配列表又は配列表に関連するテーブルを含む。 (実施細則第 802 号参照)</p> <p>4. この国際予備審査報告は、次の内容を含む。</p> <p><input checked="" type="checkbox"/> 第 I 欄 国際予備審査報告の基礎</p> <p><input type="checkbox"/> 第 II 欄 優先権</p> <p><input type="checkbox"/> 第 III 欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成</p> <p><input type="checkbox"/> 第 IV 欄 発明の単一性の欠如</p> <p><input checked="" type="checkbox"/> 第 V 欄 PCT35 条 (2) に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明</p> <p><input type="checkbox"/> 第 VI 欄 ある種の引用文献</p> <p><input type="checkbox"/> 第 VII 欄 国際出願の不備</p> <p><input type="checkbox"/> 第 VIII 欄 国際出願に対する意見</p>	
--	--

国際予備審査の請求書を受理した日 24. 01. 2006	国際予備審査報告を作成した日 23. 06. 2006	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官 (権限のある職員) 石川 正二 電話番号 03-3581-1101 内線 3546	5 S 8524

様式 PCT/IPEA/409 (表紙) (2005 年 4 月)

BEST AVAILABLE COPY

第 I 欄 報告の基礎

1. 言語に関し、この予備審査報告は以下のものを基礎とした。

- ☒ 出願時の言語による国際出願
- ☐ 出願時の言語から次の目的のための言語である _____ 語に翻訳された、この国際出願の翻訳文
- ☐ 国際調査 (PCT 規則 12.3(a) 及び 23.1(b))
- ☐ 国際公開 (PCT 規則 12.4(a))
- ☐ 国際予備審査 (PCT 規則 55.2(a) 又は 55.3(a))

2. この報告は下記の出願書類を基礎とした。(法第 6 条 (PCT 14 条) の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☐ 出願時の国際出願書類

☒ 明細書

第 1-3, 5, 6, 8-13 _____ ページ、出願時に提出されたもの

第 4, 7 _____ ページ*, 24. 1. 2006 付で国際予備審査機関が受理したもの

第 _____ ページ*, _____ 付で国際予備審査機関が受理したもの

☒ 請求の範囲

第 2-5 _____ 項、出願時に提出されたもの

第 _____ 項*, PCT 19 条の規定に基づき補正されたもの

第 1 _____ 項*, 24. 1. 2006 付で国際予備審査機関が受理したもの

第 _____ 項*, _____ 付で国際予備審査機関が受理したもの

☒ 図面

第 1-12 _____ ページ/図、出願時に提出されたもの

第 _____ ページ/図*, _____ 付で国際予備審査機関が受理したもの

第 _____ ページ/図*, _____ 付で国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☒ 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ

☒ 請求の範囲 第 6 _____ 項

☐ 図面 第 _____ ページ/図

☐ 配列表 (具体的に記載すること) _____

☐ 配列表に関連するテーブル (具体的に記載すること) _____

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT 規則 70.2(c))

☐ 明細書 第 _____ ページ

☐ 請求の範囲 第 _____ 項

☐ 図面 第 _____ ページ/図

☐ 配列表 (具体的に記載すること) _____

☐ 配列表に関連するテーブル (具体的に記載すること) _____

* 4. に該当する場合、その用紙に "superseded" と記入されることがある。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、
それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲 1-5	有
	請求の範囲	無
進歩性 (IS)	請求の範囲 1-5	有
	請求の範囲	無
産業上の利用可能性 (IA)	請求の範囲 1-5	有
	請求の範囲	無

2. 文献及び説明 (PCT規則70.7)

文献1 : JP 4-82093 A (三菱電機株式会社) 1992.03.16

全文, 第1図 (ファミリーなし)

文献2 : WO 1995/022144 A1 (ATMEL CORPORATION) 1995.08.17, 全文, 第1図
& EP693217 A1 & US 5440508 A & CN 1123062 A & JP 8-509091 A

文献3 : JP 7-226088 A (新日本製鐵株式会社) 1995.08.22

全文, 第1図 (ファミリーなし)

請求の範囲1-5に記載された構成の元となる「第1のワード線に電源電位と接地電位の中間の電圧を印加し、前記ビット線あるいは前記ビット線の差動ペア線の何れか一方に電源電位を印加することによって前記第1あるいは第2のMISFET型トランジスタの導通抵抗変化させて、前記第1および第2のMISFET型トランジスタの導通抵抗値に差違を与え、導通抵抗値の差違で「1」又は「0」を記憶すること」は、国際調査報告に引用されたいずれの文献にも記載されたものではないし、当業者にとって自明なものでもない。

導体メモリSMの記憶ノードC、C₁に従来回路SCを接続した例を示している。

スタティック型半導体メモリSMは公知のスタティック型半導体メモリ（SRAM）であり、n型の駆動トランジスタMN1とp型の負荷トランジスタMP1により構成される第1のインバータ回路と、n型の駆動トランジスタMN2とp型の負荷トランジスタMP2により構成される第2のインバータ回路の交差接続によりフリップフロップを構成して記憶ノードC、C₁に「1」又は「0」のデータを記憶するものである。

記憶ノードC、C₁は、それぞれ転送トランジスタMNT1、MNT2を介して、ビット線対BL、BL₁に接続されている。転送トランジスタMNT1、MNT2のゲート端子は、ワード線WLに接続され、ワード線WLの信号によって、記憶ノードC、C₁とビット線対BL、BL₁の間を通断電する。

従来回路SCは、スタティック型半導体メモリSMの記憶ノードCと接地電位（GND）との間にソース・ドレイン経路を形成する第1のMISFET型トランジスタMNM1と、記憶ノードC₁と接地電位（GND）との間にソース・ドレイン経路を形成する第2のMISFET型トランジスタMNM2から構成され、第1のMISFET型トランジスタMNM1および第2のMISFET型トランジスタMNM2のゲート端子はワード線WLに接続されている。

また、トランジスタMPEQは、記憶ノードCと記憶ノードC₁の間の接続を信号線EQによって開閉するスイッチ素子であり、トランジスタMNRSは、駆動トランジスタMN1、MN2と接地電位GNDの間の接続を信号線RESTOREによって開閉するスイッチ素子である。

このように構成されているので、図12に示す記憶回路は、RESTORE信号を電源電位に、WLW信号を接地電位に、EQ信号を電源電位にすれば、スタティック型半導体メモリ（SRAM）として機能し、逆にSTORE信号を接地電位に、WLW信号を電源電位に、EQ信号を接地電位にすれば、図7に示した従来回路と等価な半導体不揮発記憶回路として機能する。

特許文献1：国際公開WO2004/057621

発明の開示

発明が解決しようとする課題

は第5のスイッチ素子を介して接続され、前記揮発記憶回路の接地線は第6のスイッチ素子を介して前記接地電位に接続されることを特徴とする。

この構成により、第5及び第6のスイッチ素子によって、半導体不揮発記憶回路と揮発記憶回路を交互に切り替えて使用することができるので、半導体不揮発記憶回路の上書きの頻度を低減できる。そのため、半導体不揮発記憶回路の寿命を延ばすことができる。

本発明に係る半導体不揮発記憶回路の第6の構成は、前記第1の乃至第5のいずれかの構成において、前記第1のワード線に電源電位と接地電位の中間の電圧を印加し、前記ビット線あるいは前記ビット線の差動ペア線の何れか一方に電源電位を印加することによって前記第1あるいは第2のMISFET型トランジスタの導通抵抗値を変化させて、前記第1および第2のMISFET型トランジスタの導通抵抗値に差異を与え、導通抵抗値の差異で「1」又は「0」を記憶することを特徴とする。

この構成により、前記第1および第2のMISFET型トランジスタの導通抵抗値の差異によって、記憶を行うので、電源が遮断されても記憶が保持される。

発明の効果

上記本発明の構成によって、半導体不揮発記憶回路が選択されていないときに、記憶保持用のMISFET型トランジスタへの意図しないドレイン電流の流入を防止して、擬似的な書き込みを防止することができるので、安定した記憶保持が可能な半導体不揮発記憶回路を実現することができる。また本発明の半導体不揮発記憶回路はFET型トランジスタの組み合わせで構成され、他の素子を必要としないので、回路の設計や製造が容易であり、開発期間の短縮や製造コストの低減をもたらす効果もある。また、揮発記憶回路と組み合わせて使用すれば、半導体不揮発記憶回路の長寿命化を図ることもできる。

図面の簡単な説明

【図1】 本発明の実施例1に係る半導体不揮発記憶回路の回路図である。

【図2】 図1の半導体不揮発記憶回路の書き込み動作を説明するタイミングチャートである。

請求の範囲

1. (補正後) 第1及び第2のMISFET型トランジスタを備え、

前記第1及び第2のMISFET型トランジスタのソース端子は接地電位に共通接続され、

前記第1及び第2のMISFET型トランジスタのゲート端子は第1のワード線に共通接続され、

前記第1のMISFET型トランジスタのドレイン端子はビット線に接続され、

前記第2のMISFET型トランジスタのドレイン端子は前記ビット線の差動ペア線に接続されてなる半導体不揮発記憶回路において、

前記第1のMISFET型トランジスタのドレイン端子と前記ビット線の間を通断電する第1のスイッチ素子と、

前記第2のMISFET型トランジスタのドレイン端子と前記差動ペア線の間を通断電する第2のスイッチ素子と、を備え、

前記第1のワード線に電源電位と接地電位の中間の電圧を印加し、前記ビット線あるいは前記ビット線の差動ペア線の何れか一方に電源電位を印加することによって前記第1あるいは第2のMISFET型トランジスタの導通抵抗値を変化させて、前記第1および第2のMISFET型トランジスタの導通抵抗値に差異を与え、導通抵抗値の差異で「1」又は「0」を記憶することを特徴とする半導体不揮発記憶回路。

2. 前記第1及び第2のスイッチ素子は第3及び第4のMISFET型トランジスタであり、

前記第3及び第4のMISFET型トランジスタのゲート端子は第2のワード線に共通接続されることを特徴とする請求項1に記載の半導体不揮発記憶回路。

3. 前記第1及び第2のMISFET型トランジスタのドレイン端子は、それぞれ第3及び第4のスイッチ素子を介して、前記接地電位に接続されることを特徴とする請求項1又は請求項2に記載の半導体不揮発記憶回路。

4. 前記第3及び第4のスイッチ素子は第5及び第6のMISFET型トランジスタであり、

前記第5及び第6のMISFET型トランジスタのゲート端子は前記第2のワード線の

差動ペア線に共通接続されることを特徴とする請求項3に記載の半導体不揮発記憶回路。

5. 一方の記憶ノードが前記ビット線に接続され、他方の記憶ノードが前記ビット線の差動ペア線に接続される揮発記憶回路を備え、

前記第3のMISFET型トランジスタのドレイン端子は前記揮発記憶回路の一方の記憶ノードに接続され、

前記第4のMISFET型トランジスタのドレイン端子は前記揮発記憶回路の他方の記憶ノードに接続され、

前記揮発記憶回路の一方の記憶ノードと他方の記憶ノードは第5のスイッチ素子を介して接続され、

前記揮発記憶回路の接地線は第6のスイッチ素子を介して前記接地電位に接続されることを特徴とする請求項2乃至請求項4のいずれかに記載の半導体不揮発記憶回路。

6. (削除)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☒ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.